

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 10163251
PUBLICATION DATE : 19-06-98

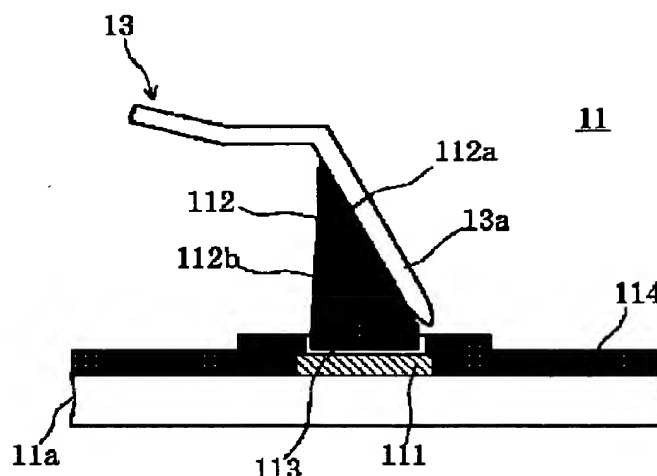
APPLICATION DATE : 03-12-96
APPLICATION NUMBER : 08322740

APPLICANT : NEC CORP;

INVENTOR : KAWAHARA HISATERU;

INT.CL. : H01L 21/60 H01L 21/66

TITLE : SEMICONDUCTOR DEVICE AND ITS
MANUFACTURE



ABSTRACT : PROBLEM TO BE SOLVED: To reduce the size of a semiconductor chip while maintaining the connection strength between each inner lead and a bump.

SOLUTION: A bump 112 is formed on each pad 111 of a semiconductor chip 11, and an inner lead 13a is connected to the bonding surface 112a of each bump 112. Since the bonding surface 112a is inclined by an angle of approximately sixty degrees to the surface of the semiconductor chip 11, it becomes possible to be nearly half of the occupying area of each bump 112 on the semiconductor chip 11. Accordingly, it is possible to reduce the size of the semiconductor chip 11 itself, maintaining the connection strength between each inner lead 13a and a bump 112. Besides, each bump 112 has a probing surface 112b to be brought into contact with a probe for testing an electric performance, on the rear side to the bonding surface 112a, so it is possible to prevent the bonding surface 112a from being roughed by being touched by probes.

COPYRIGHT: (C)1998,JPO

This Page Blank (uspro)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-163251

(43) 公開日 平成10年(1998) 6月19日

(51) Int.Cl.⁶

H 0 1 L 21/60
21/66

識別記号

3 1 1

F I

H 0 1 L 21/60
21/66

3 1 1 R
E

審査請求 有 請求項の数 8 O L (全 12 頁)

(21) 出願番号 特願平8-322740

(22) 出願日 平成8年(1996)12月3日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 川原 久輝

東京都港区芝五丁目7番1号 日本電気株
式会社内

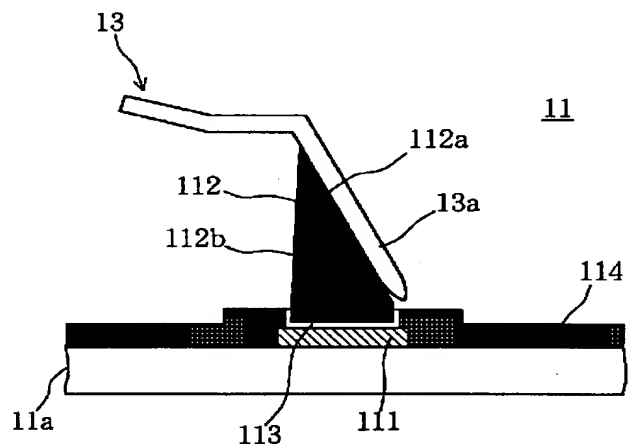
(74) 代理人 弁理士 西村 征生

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 インナリード・バンプ間の接続強度を維持しつつ、半導体チップを小型化する。

【解決手段】 半導体チップ11の各パッド111上にはバンプ112が形成され、各バンプ112のボンディング面112aには、インナリード13aが接続されている。ボンディング面112aは、半導体チップ11の表面に対して略60度の角度で傾斜しているので、半導体チップ11上の各バンプ112の占有面積は略半分で済む。それ故、インナリード13a・バンプ112間の接続強度を維持しつつ、半導体チップ11自体のサイズを小型化することができる。また、各バンプ112は、電気的性能を試験するためにプローブを当接するプロービング面112bを、ボンディング面112aに背面している側に有しており、ボンディング面112aにプローブが当接されて表面が荒らされることがない。



【特許請求の範囲】

【請求項1】 半導体基板の表面にパッドを介してバンパが突隆状態に設けられ、該バンパを介してインナリードが前記半導体基板に電氣的に接続されてなる半導体装置であって、

前記インナリードは前記バンパの傾斜面にボンディングされていることを特徴とする半導体装置。

【請求項2】 前記インナリードがボンディングされる前記バンパの傾斜面は、前記半導体基板の最寄りの縁端側から見て前記バンパの背面に設けられていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記半導体基板の最寄りの縁端側から見て前記バンパの正面には、前記インナリードはボンディングされていないことを特徴とする請求項1又は2記載の半導体装置。

【請求項4】 前記半導体基板の最寄りの縁端に略垂直な面で切断した前記バンパの断面形状は、先細りの多角形であることを特徴とする請求項1、2又は3記載の半導体装置

【請求項5】 前記半導体基板の表面から突隆する前記バンパの前記傾斜面の傾斜角は30度以上70度以下であることを特徴とする請求項1、2、3又は4記載の半導体装置。

【請求項6】 請求項1乃至5のいずれかに記載の半導体装置を製造するための方法であって、前記バンパに加工されることとなる突隆状のバンパ成形用部材を表面に有し、所定の半導体回路が形成されてなる半導体基板を用意し、前記バンパ成形用部材の所定の稜線部に対して等方性エッチングを行うことにより、該稜線部を削り取って前記傾斜面を有するバンパを形成することを特徴とする半導体装置の製造方法。

【請求項7】 請求項1乃至5のいずれかに記載の半導体装置を製造するための方法であって、型用基板をエッチングすることにより、前記バンパの外形寸法に略対応した凹部を前記型用基板に形成し、前記凹部にバンパ成形用金属を堆積させ、前記凹部に前記バンパ成形用金属が堆積した前記型用基板と、所定の半導体回路が形成されてなる半導体基板とを、前記凹部に堆積した前記バンパ成形用金属と、対応する前記半導体基板のパッドとが接着するように張り合わせた後、前記型用基板を取り除くことを特徴とする半導体装置の製造方法。

【請求項8】 請求項1乃至5のいずれかに記載の半導体装置を製造するための方法であって、前記バンパの外形寸法と略同一の外形寸法の凸部を底部に有する雄型容器を用意し、該雄型容器に熱硬化性樹脂組成物を流し込み、加熱硬化させて凹部が形成されてなる雌型を作成し、該雌型の前記凹部にバンパ成形用金属を堆積させ、前記バンパ成形用金属が堆積した前記雌型と、所定の半導体回路が形成されてなる半導体基板と

を、前記雌型の前記凹部に堆積した前記バンパ成形用金属と、対応する前記半導体基板のパッドとが接着するように張り合わせた後、前記雌型を取り除くことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、TAB (Tape Automated Bonding) 用のバンパを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】電子機器の小型化、高性能化が進む中で多端子数・狭ピッチ化等による平面上での高密度化が図られている。これに伴い、半導体チップ上の全パッドを特定のバンパや金属リードによってパッケージ上の端子に同時に接続するフリップチップ方式やTBA方式等のワイヤレスボンディング方式が提案されている。TBA方式は、半導体チップ表面のパッド上に形成された金製のバンパと、長尺の絶縁性ベースフィルムに銅箔を張り合わせエッチングして形成された多数のリード線とを、加熱されたボンディングツールによって同時に接合する方式である。

【0003】ここで、バンパ101は、図21に示すように、シリコンウェハ102上に形成されたアルミニウム製のパッド103の上に、バリアメタル104を介してメッキによって形成され、略直方体状のストレートウォールバンパとなっている。そして、同図に示すように、このバンパ101の上端面にリード線のインナリード105が接続されている。なお、バンパ101とパッド103との接続箇所以外においては、パッシベーション膜106がシリコンウェハ102を被覆している（例えば、平田誠一著「実践講座 VLSIパッケージング技術（下）」P84～P85参照）。また、各半導体チップ107上には、図22に示すように、所定の長さL、幅W及び高さHを有する多数のバンパ101、101、…が、シリコンウェハ102において多数の半導体チップ107、107、…を区画するスクライブ線108、108、…に沿って、所定のバンパピッチPで整列配置されている。また、シリコンウェハ102上に、上述したようなバンパ101、101…を形成した後は、各半導体チップ107の電氣的特性の良否を判定するための試験が、図23に示すように、各バンパ101の上端面にプローブ109を当てがって行われている。

【0004】

【発明が解決しようとする課題】半導体チップ107のさらなる小型化の要請に応じて、バンパ101の半導体チップ107上における占有面積を縮小しようとする、上記方法では、バンパ101の長さL、幅W、又はバンパピッチPを小さくする以外に、このため、バンパ101とインナリード105との間の接触面積が不足して、充分な接合強度が得られず、また、バンパ10

1, 101同士の短絡の危険も生じてしまうという問題点があった。また、上述の試験において、バンプ101の上端面にプローブ109を当てがう際には、電気的機械的接触がなされるために、バンプ101の上端面が荒れてしまい、特に、特性評価やプログラムの修正のために、この試験を繰り返し行ったような場合には、平坦度が損なわれ、さらに、バンプ101の上端面が不純物で汚染されてしまっていた。このため、このプローブ109が当てがわれたバンプ101の上端面に、後の工程でインナリード105を接続する際に、接続強度が不足してしまい、インナリード105とバンプ101との間の接合強度の接続が不完全となってしまうという不都合があった。

【0005】この発明は、上述の事情に鑑みてなされたもので、インナリードとバンプとの間の接合強度を維持して接続不良を防止しつつ、小型化が実現された半導体装置及びその製造方法を提供することを目的としている。

【0006】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明は、半導体基板の表面にパッドを介してバンプが突隆状態に設けられ、該バンプを介してインナリードが上記半導体基板に電気的に接続されてなる半導体装置であって、上記インナリードは上記バンプの傾斜面にボンディングされていることを特徴としている。

【0007】また、請求項2記載の発明は、請求項1記載の半導体装置であって、上記インナリードがボンディングされる上記バンプの傾斜面は、上記半導体基板の最寄りの縁端側から見て上記バンプの背面に設けられていることを特徴としている。

【0008】また、請求項3記載の発明は、請求項1又は2記載の半導体装置であって、上記半導体基板の最寄りの縁端側から見て上記バンプの正面には、上記インナリードはボンディングされていないことを特徴としている。

【0009】また、請求項4記載の発明は、請求項1, 2又は3記載の半導体装置であって、上記半導体基板の最寄りの縁端に略垂直な面で切断した上記バンプの断面形状は、先細りの多角形であることを特徴としている。

【0010】また、請求項5記載の発明は、請求項1, 2, 3又は4記載の半導体装置であって、上記半導体基板の表面から突隆する上記バンプの上記傾斜面の傾斜角は30度以上70度以下であることを特徴としている。

【0011】また、請求項6記載の発明は、請求項1乃至5のいずれかに記載の半導体装置を製造するための方法であって、上記バンプに加工されることとなる突隆状のバンプ成形用部材を表面に有し、所定の半導体回路が形成されてなる半導体基板を用意し、上記バンプ成形用部材の所定の稜線部に対して等方性エッチングを行う

ことにより、該稜線部を削り取って上記傾斜面を有するバンプを形成することを特徴としている。

【0012】また、請求項7記載の発明は、請求項1乃至5のいずれかに記載の半導体装置を製造するための方法であって、型用基板をエッチングすることにより、上記バンプの外形寸法に略対応した凹部を上記型用基板に形成し、上記凹部にバンプ成形用金属を堆積させ、上記凹部に上記バンプ成形用金属が堆積した上記型用基板と、所定の半導体回路が形成されてなる半導体基板とを、上記凹部に堆積した上記バンプ成形用金属と、対応する上記半導体基板のパッドとが接着するように張り合わせた後、上記型用基板を取り除くことを特徴としている。

【0013】さらにまた、請求項8記載の発明は、請求項1乃至5のいずれかに記載の半導体装置を製造するための方法であって、上記バンプの外形寸法と略同一の外形寸法の凸部を底部に有する雄型容器を用意し、該雄型容器に熱硬化性樹脂組成物を流し込み、加熱硬化させて凹部が形成されてなる雌型を作成し、該雌型の上記凹部にバンプ成形用金属を堆積させ、上記バンプ成形用金属が堆積した上記雌型と、所定の半導体回路が形成されてなる半導体基板とを、上記雌型の上記凹部に堆積した上記バンプ成形用金属と、対応する上記半導体基板のパッドとが接着するように張り合わせた後、上記雌型を取り除くことを特徴としている。

【0014】

【作用】この発明の構成によれば、インナリードは、半導体基板の表面に対して傾斜しているバンプの傾斜面にボンディングされているので、インナリードとバンプとの接触面積を縮小することなく、バンプの半導体基板上における占有面積を減らすことができる。それ故、インナリードとバンプとの間の接合強度を弱めることなく、半導体基板の縮小化を図ることができる。また、半導体基板の電気的性能を試験する際には、プローブを上記傾斜面以外の面に当接するようにすれば、プローブとの電気的機械的接触のために、インナリードをボンディングする傾斜面が荒れてしまい、平坦度が損なわれ、さらに、不純物で汚染されてしまうようなことがない。このため、インナリードとバンプとの間の接合強度が不足して、接続が不完全となってしまうことはない。

【0015】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的にを行う。

◇第1実施例

図1は、この発明の第1実施例である半導体装置の内部の状態を示す断面図、図2は、同水平断面図、図3は、同半導体装置の構成を示す断面図、図4は、同半導体装置の半導体チップに適用されるベースフィルム上に形成されたリードフレームを模式的に示す斜視図、図5は、

同半導体チップが多数形成されたシリコンウェハの概略構成を示す斜視図、図6乃至図9は、同半導体装置の製造方法を説明するための工程図、図10は、半導体チップの良否判定のための電気的特性試験を行っている様子を示す図、また、図11は、同半導体チップのバンパにインナリードをボンディングしている様子を示す図である。

【0016】まず、この例の半導体装置1について説明する。図2及び図3に示すように、半導体装置1は、半導体チップ11のパッド111、111、…上に、それぞれ、金製のバンパ112、112、…が形成され、各バンパ112には、絶縁性のベースフィルム12上に形成されたリードフレーム13のインナリード13aが接続され、かつ、半導体チップ11及び各バンパ112とインナリード13aとの接続部が樹脂14によって封止されてなっている。ここで、半導体チップ11のサイズは、例えば、1.70mm×11.90mmであり、図2に示すように、半導体チップ11表面には、短辺側に30個、長辺側に200個のバンパ112、112、…が、それぞれ、60μmのピッチPで配置されている。

【0017】各バンパ112は、図1に示すように、半導体チップ11上に形成されたアルミニウム製のパッド111の上に、バリアメタル113を介してメッキによって形成されている。そして、これらのバンパ112、112、…は、半導体チップ11の端面（ダイエッジ）11aに沿って整列配置されている。なお、各バンパ112とパッド111との接続箇所以外においては、パッシベーション膜114が半導体チップ11を被覆している。また、各バンパ112は、同図に示すように、インナリード13aがボンディングされているボンディング面112aと半導体チップ11の電気的性能を試験するためにプローブを当接するプロービング面112bを有している。ここで、ボンディング面112aは、端面11aに背面していると共に、この例では、半導体チップ11の表面に対して略60度の角度で傾斜している。

【0018】また、プロービング面112bは、端面11aに向かって配置されている。また、各バンパ112の高さは、例えば、略35μmに設定されている。また、ボンディング面112aの傾斜方向の長さは略100μmに設定されている。よって、各バンパ112の底面の長さは略50μmとなっている。リードフレーム13は、図4に示すように、長尺の絶縁性のベースフィルム12に張り合わされた銅箔がエッチングされることにより多数のリード線が形成されてなっている。なお、銅箔には、錫や金のメッキが施されている。ベースフィルム12は、ポリイミド製又はポリエステル製であって、かつ、映画用フィルムの規格に合ったコマ送り用の孔（スプロケットホール）を有し、これによって、フィルムの送り位置合わせとが自動的に行われる。

【0019】次に、この例の半導体装置1の製造方法に

ついて説明する。まず、図5に示すような半導体回路が形成された多数の半導体チップ11、11、…がスクライプ線21、21、…によって区画されてなるシリコンウェハ2と、バンパを形成するための型用のシリコンウェハ3とを用意する。次に、図6(a)に示すように、シリコンウェハ2上の所定の箇所（パッド）にアルミニウム製のパッド111、111、…を形成し、さらにこの上にパッシベーション膜114を成膜し、バンパを形成することとなる部分を開口し、パッド111表面を露出させる。そして、同図(b)に示すように、シリコンウェハ2全面に対して、パッシベーション膜114及び露出したパッド111、111、…の上に、スパッタリング法によってバリアメタル層113を成膜する。次に、同図(c)に示すように、シリコンウェハ2全面に対して、バリアメタル層113の上に、フォトリソグロフィの技法によって所定のパターンをフォトリソグロフィに転写して、開口を有したフォトリソグロフィマスク115を形成する。

【0020】一方、図7(d)に示すように、シリコンウェハ3上の全面にフォトリソグロフィを塗布し、フォトリソグロフィの技法によって、シリコンウェハ2の各パッド111に対応する位置に開口が作成されるような所定のパターンをフォトリソグロフィに転写して、フォトリソグロフィマスク31を形成し、エッチングを施して断面V字形の凹部3a、3a、…を作成する。次に、同図(e)に示すように、フォトリソグロフィマスク31を除去し、シリコンウェハ3上の全面に、スパッタリング法等によって、メッキ電極用のメタル薄膜32を成膜する。この後、同図(f)に示すように、メタル薄膜32上の全面にフォトリソグロフィを塗布し、フォトリソグロフィの技法によって、V字形にエッチングされた各凹部3aの上部が開口されたフォトリソグロフィマスク33を形成する。

【0021】次に、図8(g)に示すように、メタル薄膜32を電極として電解メッキによって、金112xをV字形にエッチングされた各凹部3aに堆積させる。そして、同図(h)に示すように、フォトリソグロフィマスク33及びメタル薄膜32を除去し、同図(i)に示すように、このシリコンウェハ3と、図6(c)に示されるフォトリソグロフィマスク115が形成されたシリコンウェハ2とを、シリコンウェハ3に堆積した金112xが、対応するフォトリソグロフィマスク115の開口に差し込まれるように、張り合わせる。

【0022】そして、図9(j)に示すように、張り合わされた2枚のシリコンウェハ2、3を互いに圧接して、金112xをパッド111上のバリアメタル層113に圧着する。次に、同図(k)に示すように、シリコンウェハ3のみをフッ酸系エッチング溶液によって除去する。この後、同図(m)に示すように、シリコンウェハ2上のフォトリソグロフィマスク115及びバリアメタル層113を除去し、所定の寸法で断面五角形状のバンパ

112, 112, ...が所定のピッチPで多数形成されたシリコンウェハ2を得る。ここで、各バンプ112のボンディング面112aの傾斜方向の長さは上述したように略100 μ mであり、底面の長さは略50 μ mである。

【0023】次に、こうして得られたシリコンウェハ2を構成する各半導体チップ11について、図10に示すように、プローブ4をプロービング面112bに当接して電気的特性を測定し、良品及び不良品の選別を行う。この後、シリコンウェハ2から各半導体チップ11を、スクライビング線21に沿って切断し分離する。次に、取り出された各半導体チップ11について、図4に示すようなベースフィルム上に形成されたリードフレームを半導体チップ11上に載置した後、図11に示すように、先端部のインナリード13aとの接触部がボンディング面112aの傾斜角と同じ角度のテーパが付けられたボンディングツール5を用いて、インナリード13aをボンディング面112aに所定の圧力で押さえつけることによって、図1に示すように、接続が完了する。ここで、各インナリード13aのボンディング面112aへの接続は、同時に一括して行われる。また、この際、ボンディングツール5は、350～450℃程度に加熱されている。この後に、図3に示すように、インナリード13a, 13a, ...が接続された半導体チップ11及びバンプ112とインナリード13aとの接続部が樹脂14によって封止され、リード線が成形・切断されて半導体装置1が得られる。

【0024】上記構成によれば、各バンプ112のボンディング面112aは、半導体チップ11の表面に対して傾斜しているため、このボンディング面112aにインナリード13aを電気的に接続することにより、インナリード13aとバンプ112との接触面積を小さくすることなく、各バンプ112の半導体チップ11における占有面積を減らすことができる。それ故、インナリード13aとバンプ112との接合強度を弱めることなく、半導体チップ11の縮小化を図ることができる。この例の半導体装置1の各バンプ112のボンディング面112aの傾斜方向の長さは上述したように略100 μ mであり、底面の長さは略50 μ mである。一方、従来の方法によるとボンディング面は傾斜していないので、同一の接触面積を確保するために必要な底面の長さは略100 μ mである。

【0025】従来の半導体チップのサイズは、バンプ数及びピッチPを同一として、例えば、1.80mm×12.00mmであるのに対して、底面の長さを略半分とし、略50 μ m低減することができることから、半導体チップ11の四辺について、それぞれ、略100 μ m短くすることが可能となり、半導体チップ11のサイズは、同一性能で、1.70mm×11.90mmまで縮小することができる。すなわち、面積比で93.7%ま

で縮小することができる。また、半導体チップ11の電気的性能を試験する際には、プローブ4をボンディング面112aと離れたプロービング面112bに当接するようにしているので、プローブ4との電気的機械的接触のために、ボンディング面112aが荒れてしまい、平坦度が損なわれ、さらに、不純物で汚染されてしまうようなことがない。このため、インナリード13aの接続強度が不足して、接続が不完全となってしまうことはない。

【0026】◇第2実施例

図12乃至図14は、この発明の第2実施例である半導体装置の製造方法を説明するための工程図である。この第2実施例が上述の第1実施例と大きく異なるところは、バンプを形成する際に、雌型に加工したシリコンウェハ3を用いたのに対して、雄型を底部に有する容器に樹脂を流しこんで雌型を作成し、この雌型を用いるようにした点である。これ以外は第1実施例と略同一であるので、第1実施例の半導体装置1の構成各部等に対応する構成各部等には同一の符号を付してその説明を省略する。

【0027】この例の半導体装置1の製造方法について説明する。まず、図12(a)に示すように、シリコンウェハ2上の所定の箇所にアルミニウム製のパッド111を形成し、さらにこの上にパッシベーション膜114を成膜し、バンプを形成することとなる部分を開口し、パッド111表面を露出させる。次に、同図(b)に示すように、シリコンウェハ2全面に対して、パッシベーション膜114及び露出したパッド111の上に、スパッタリング法によってバリアメタル層113を成膜する。そして、同図(c)に示すように、各バンプ112を載せることとなるパッド111上以外のバリアメタル層113をエッチングにより除去する。一方、図13

(d)に示すように、バンプ112の外形状と略同一の外形状の凸部6a, 6a, ...を底部に有するバンプ雄型容器6を機械加工によって作製し、このバンプ雄型容器6に熱硬化性樹脂組成物を流し込んだ後、加熱硬化させてバンプ雌型7を作成する。

【0028】次に、同図(e)に示すように、ウェハ状のバンプ雌型7を脱型し、同図(f)に示すように、バンプ雌型7の形成された凹部7a, 7a, ...にバンプ形成用金属である金112yを蒸着等によって堆積させる。この後、図14(g)に示すように、バンプ雌型7の各凹部7a以外の箇所に堆積した金112yを研磨によって取り除く。そして、同図(h)に示すように、凹部に金112yが堆積したバンプ雌型7と、上述した工程で作製されたシリコンウェハ2(図12(c)参照)とを、金112yが堆積した各凹部7aが、対応するパッド111に位置合わせされた状態で張り合わせ、圧着する。次に、図14(i)に示すように、有機溶剤等を用いて樹脂製のバンプ雌型7を除去して、バンプ11

2, 112, …形成する。この後の工程は、第1実施例で述べた工程と略同一であるので省略する。上記構成によれば上述した第1実施例と略同様の効果を得ることができる。

【0029】◇第3実施例

図15乃至図18は、この発明の第3実施例である半導体装置の製造方法を説明するための工程図である。この第3実施例が上述の第1実施例と大きく異なるところは、バンプを形成する際に、雌型の使用を廃し、かつ、バンプの形状を代えた点である。これ以外の半導体装置1の構成等は第1実施例と略同一であるので省略する。

【0030】この例の半導体装置1の製造方法について説明する。まず、図15(a)に示すように、シリコンウェハ2上の所定の箇所にアルミニウム製のパッド111, 111, …を形成し、さらにこの上にパッシベーション膜114を成膜し、バンプを形成することとなる部分を開口し、各パッド111表面を露出させる。そして、同図(b)に示すように、シリコンウェハ2全面に対して、パッシベーション膜114及び露出したパッド111の上に、スパッタリング法によってバリア金属層113を成膜する。次に、同図(c)に示すように、シリコンウェハ2全面に対して、バリア金属層113の上に、フォトリソグラフィの技法によって所定のパターンをフォトリソグラフィに転写して、開口を有したフォトリソグラフィマスク115を形成する。

【0031】次に、図16(d)に示すように、バリア金属層113を電極として、電解メッキによって、開口を施した箇所に金112zを堆積させる。そして、同図(e)に示すように、フォトリソグラフィマスク115を剥離し、露出している部分のバリア金属層113をエッチングによって除去する。次に、同図(f)に示すように、シリコンウェハ2上の全面に亘ってフォトリソグラフィマスク116を塗布し、各開口の金112zを含めて被覆する。

【0032】そして、図17に示すように、フォトリソグラフィの技法によって、フォトリソグラフィマスク116の金112zの上に位置する領域のうち、スクライプ線21から遠い方の縁部近傍の部位をスクライプ線21に平行に開口する。次に、図18(a)に示すように、例えば、真空度の低い状態でのドライエッチングやウェットエッチングによって、等方性の強いエッチングを行う。これにより、水平方向へも最大で金112zの高さと略同じ長さの部分のエッチングして、斜面を形成する。次に、同図(b)に示すように、フォトリソグラフィマスク116を除去してバンプ112, 112, …を形成する。ここで、この斜面の傾斜角は、例えば、ドライエッチングの場合は、真空度やエッチングガスの濃度等を調節することによって、変化させることができる。この後の工程は、第1実施例で述べた工程と略同一であるので省略する。上

記構成によれば上述した第1実施例と略同様の効果を得ることができる。

【0033】以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、上述した第1実施例及び第2実施例では、断面形状が五角形のバンプ112が形成されてなる半導体チップ11を作製したが、これに限らず、図19に示すように、断面形状が三角形のバンプ81が形成されてなる半導体チップ8でも良いし、図20に示すように、台形のバンプ91が形成されてなる半導体チップ9でも良い。また、例えば、ボンディング面は曲面であっても良い。この場合は、ボンディングツールの先端部もボンディング面の形状に対応させて曲面加工しておくようにする。また、ボンディングツールを用いて、圧着を行う際に超音波を加える方法によっても良い。

【0034】

【発明の効果】以上説明したように、この発明の構成によれば、インナリードは、半導体基板の表面に対して傾斜しているバンプの傾斜面にボンディングされているので、インナリードとバンプとの接触面積を縮小することなく、バンプの半導体基板上における占有面積を減らすことができる。それ故、インナリードとバンプとの間の接合強度を弱めることなく、半導体基板の縮小化を図ることができる。また、半導体基板の電気的性能を試験する際には、プローブを上記傾斜面以外の面に当接するようにすれば、プローブとの電気的機械的接触のために、インナリードをボンディングする傾斜面が荒れてしまい、平坦度が損なわれ、さらに、不純物で汚染されてしまうようなことがない。このため、インナリードとバンプとの間の接合強度が不足して、接続が不完全となってしまうことはない。

【図面の簡単な説明】

【図1】この発明の第1実施例である半導体装置の内部の状態を示す断面図である。

【図2】同半導体装置の内部の状態を示す水平断面図である。

【図3】同半導体装置の構成を示す断面図である。

【図4】同半導体装置の半導体チップに適用されるベースフィルム上に形成されたリードフレームを模式的に示す斜視図である。

【図5】同半導体チップが多数形成されたシリコンウェハの概略構成を示す斜視図である。

【図6】同半導体装置の製造方法を説明するための工程図である。

【図7】同半導体装置の製造方法を説明するための工程図である。

【図8】同半導体装置の製造方法を説明するための工程図である。

【図9】同半導体装置の製造方法を説明するための工程図である。

【図10】同半導体チップの良否判定のための電気的特性試験を行っている様子を示す図である。

【図11】同半導体チップの bumps にインナリードをボンディングしている様子を示す図である。

【図12】この発明の第2実施例である半導体装置の製造方法を説明するための工程図である。

【図13】同半導体装置の製造方法を説明するための工程図である。

【図14】同半導体装置の製造方法を説明するための工程図である。

【図15】この発明の第3実施例である半導体装置の製造方法を説明するための工程図である。

【図16】同半導体装置の製造方法を説明するための工程図である。

【図17】同半導体装置の製造方法を説明するための工程図である。

【図18】同半導体装置の製造方法を説明するための工程図である。

【図19】この発明の第1実施例の変形例である半導体装置の内部の状態を示す断面図である。

【図20】この発明の第1実施例の別の変形例である半導体装置の内部の状態を示す断面図である。

【図21】従来技術を説明するための説明図である。

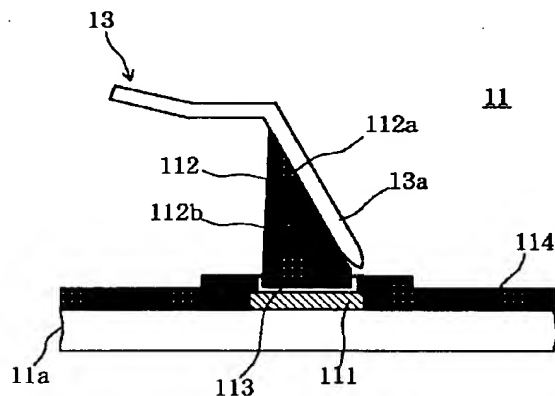
【図22】従来技術を説明するための説明図である。

【図23】従来技術を説明するための説明図である。

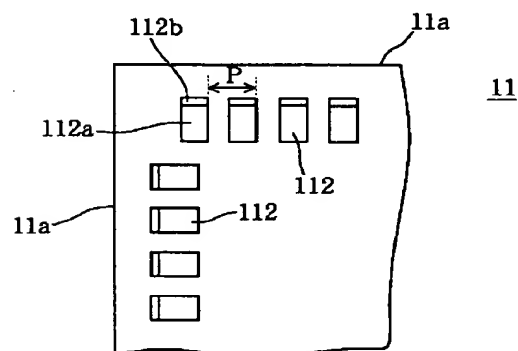
【符号の説明】

- 1 半導体装置
- 11 半導体チップ（半導体基板）
- 111 パッド
- 112 bumps
- 112a ボンディング面（傾斜面）
- 13a インナリード
- 2 シリコンウェハ（半導体基板）
- 3 シリコンウェハ（型用基板）
- 6 bumps 雄型容器（雄型容器）
- 6a 凸部
- 7 bumps 雌型（雌型）
- 7a 凹部

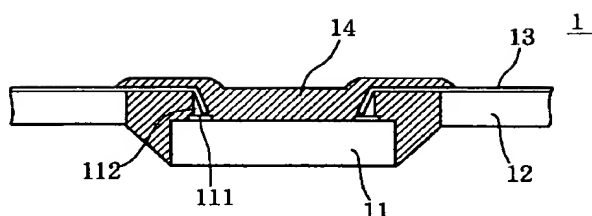
【図1】



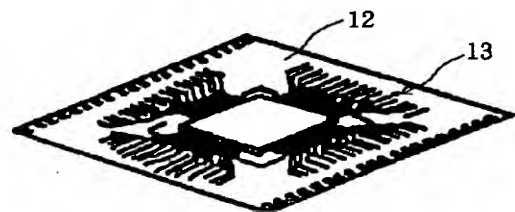
【図2】



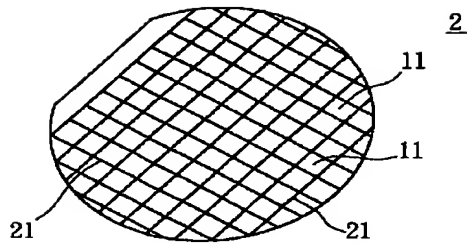
【図3】



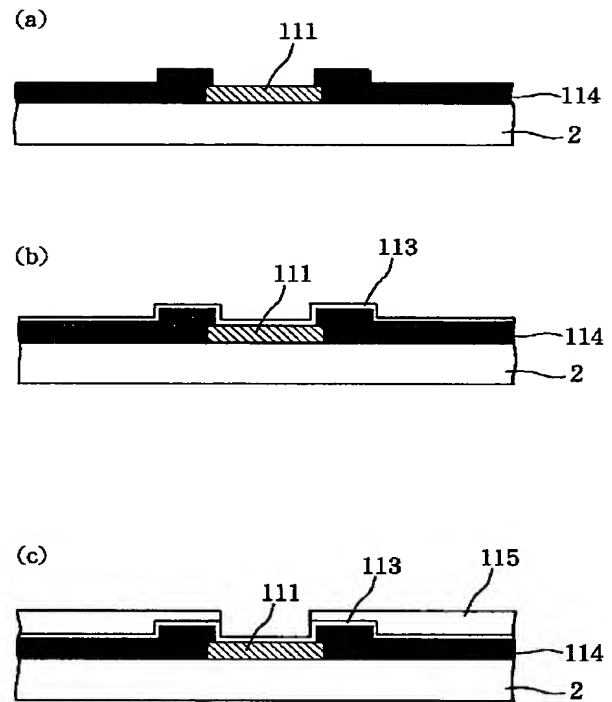
【図4】



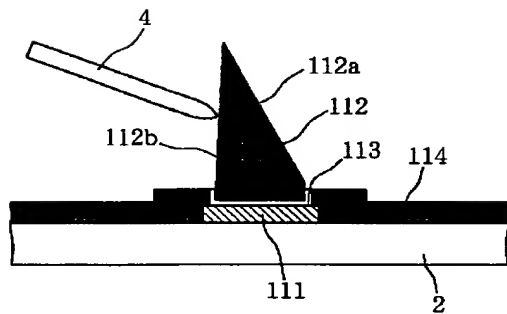
【図5】



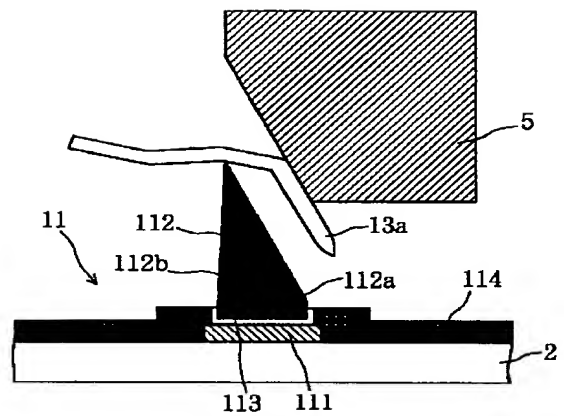
【図6】



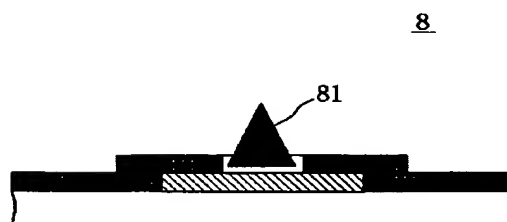
【図10】



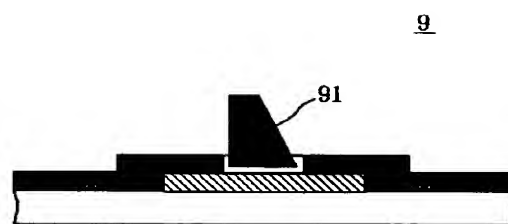
【図11】



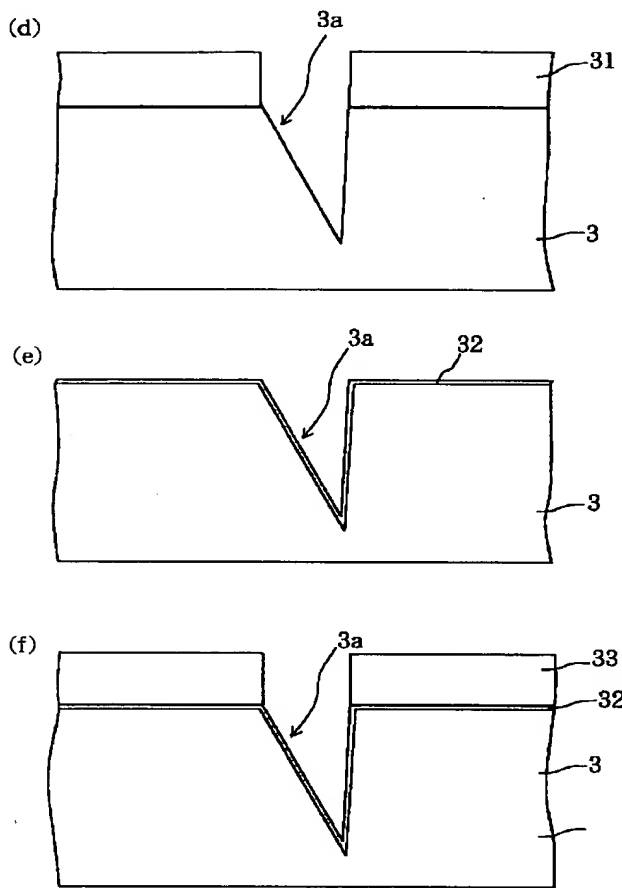
【図19】



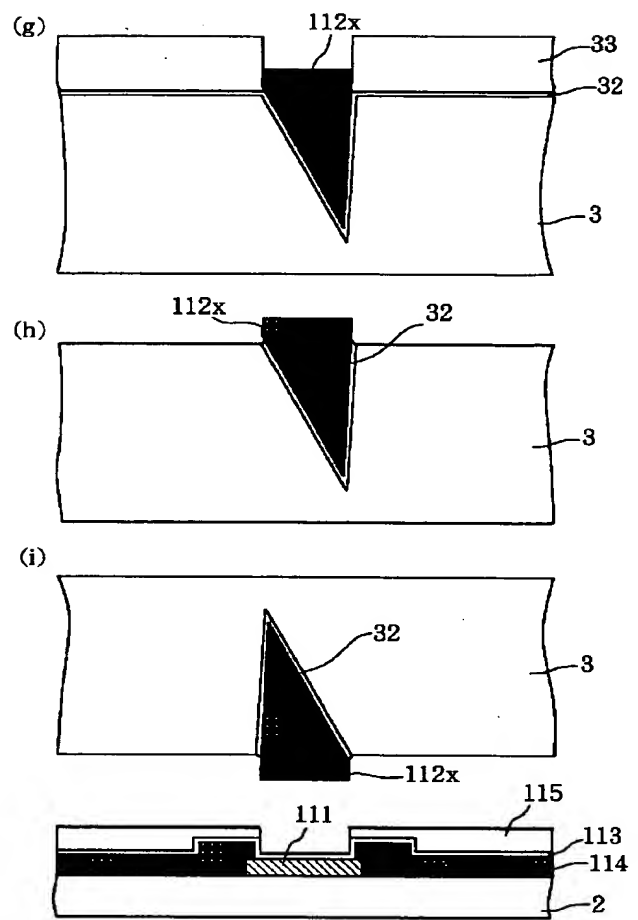
【図20】



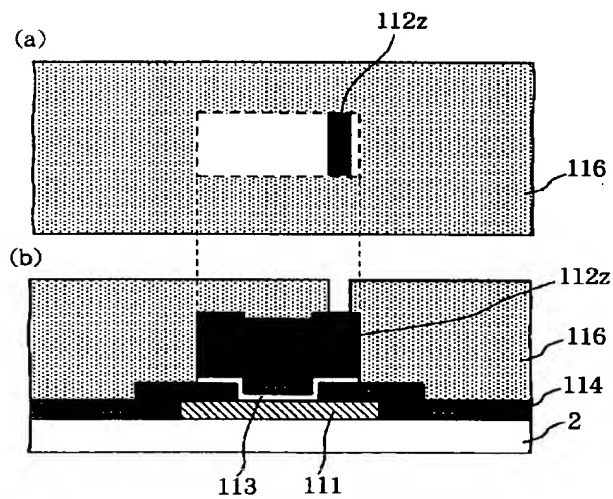
【図7】



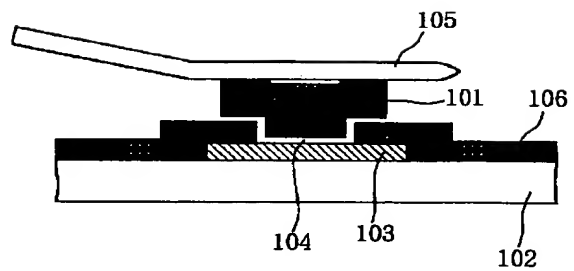
【図8】



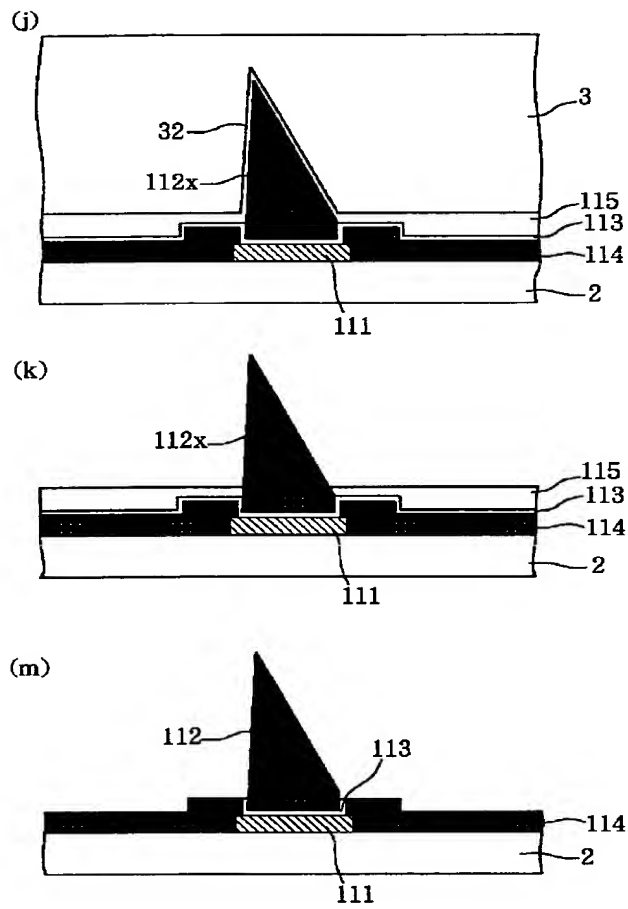
【図17】



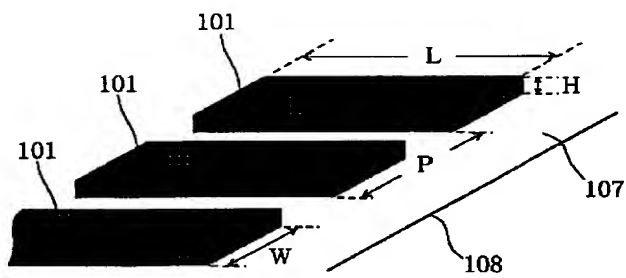
【図21】



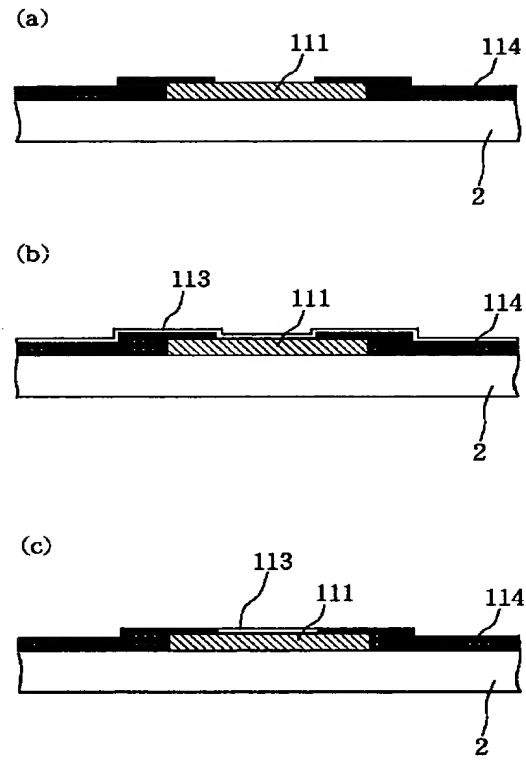
【図9】



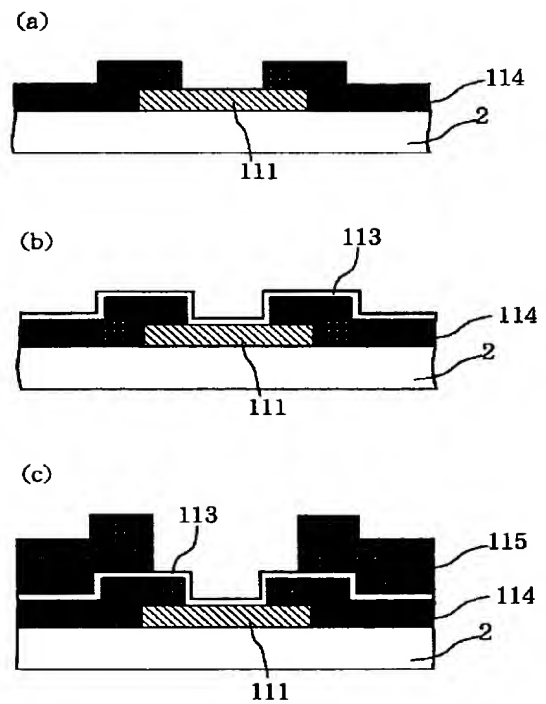
【図22】



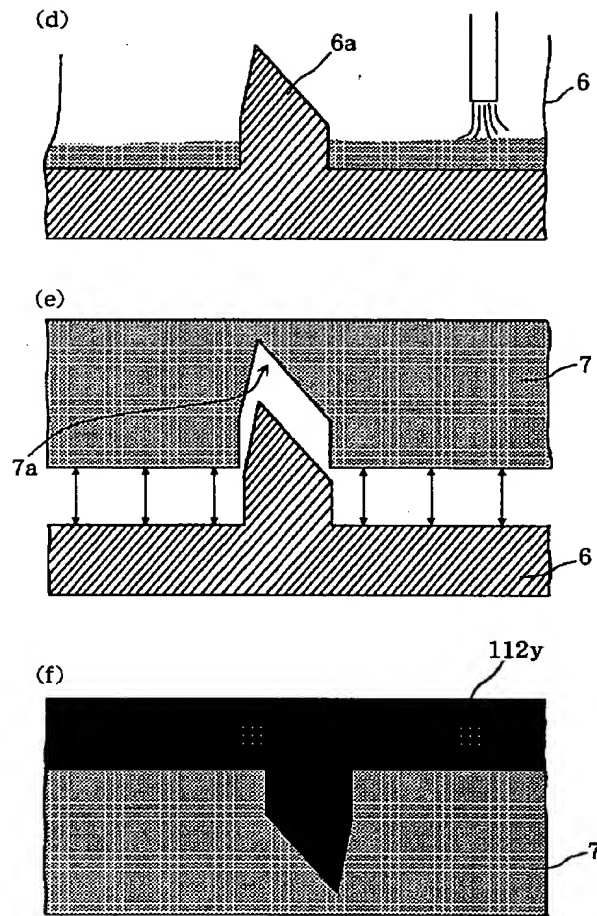
【図12】



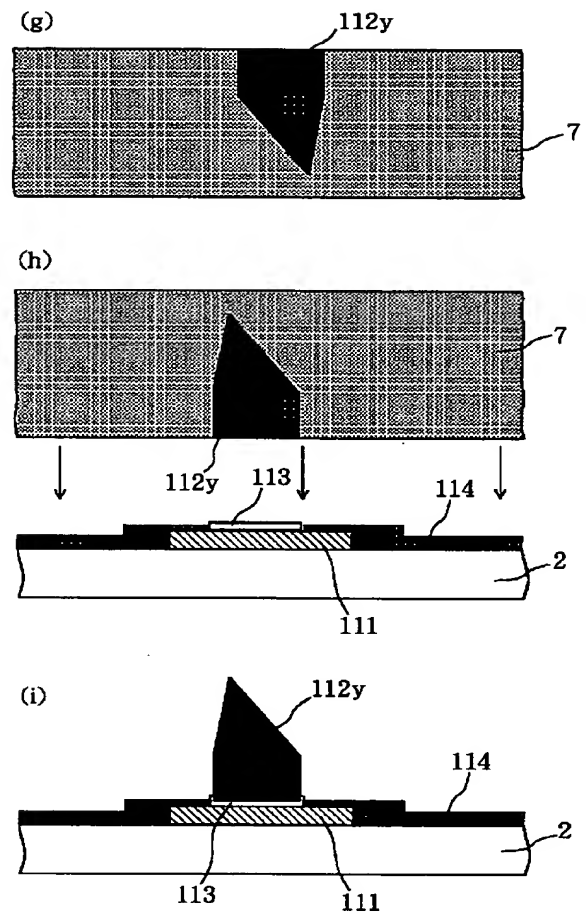
【図15】



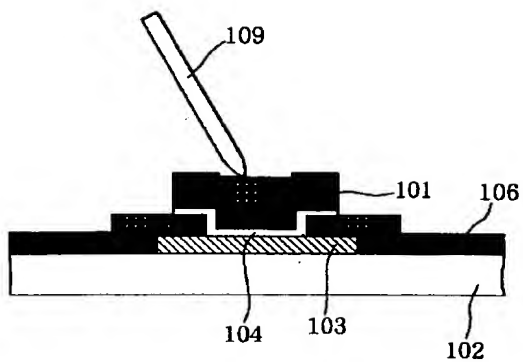
【図13】



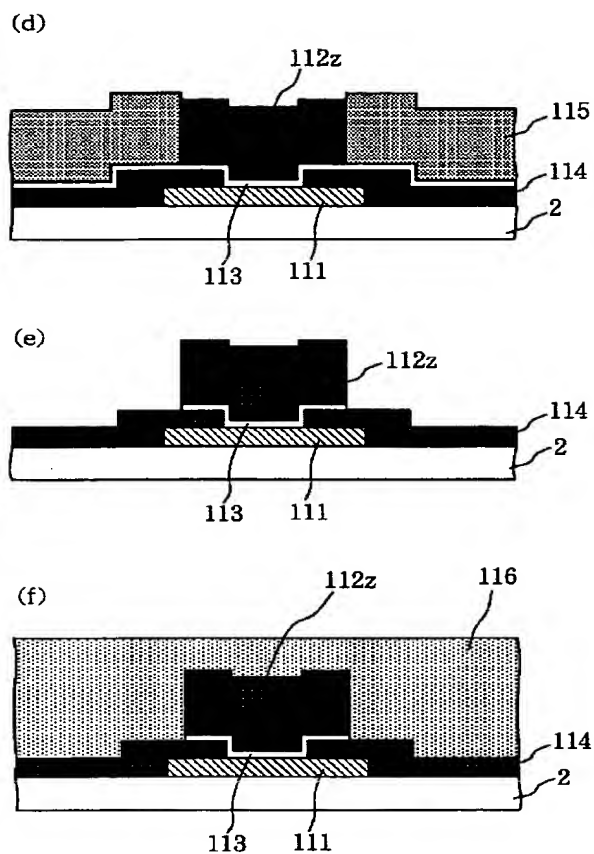
【図14】



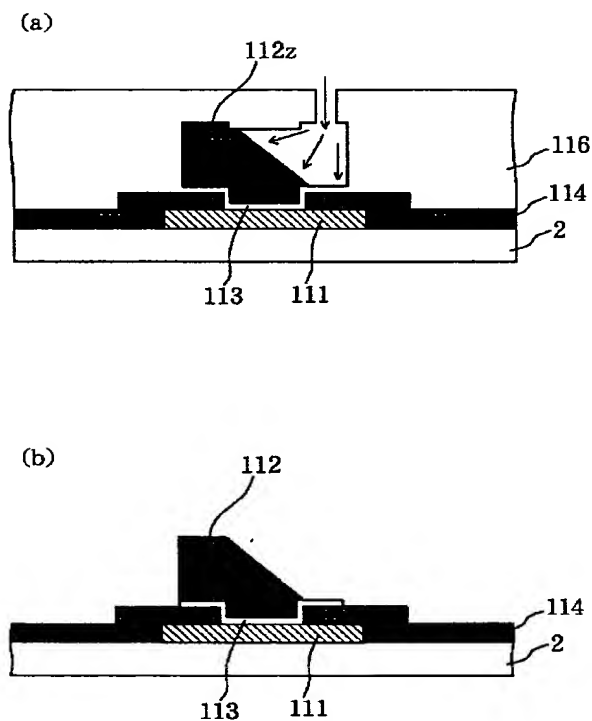
【図23】



【図16】



【図18】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspto)